

一种基于石墨烯霍尔器件的读出电路设计

陈铖颖, 蒋见花, 胡晓宇

(中国科学院 微电子研究所, 北京 100029)

摘 要: 为了实现对石墨烯霍尔器件的高精度检测, 采用前端放大以及模数转换器技术, 设计了一款模拟前端读出电路. 该读出电路包括前端放大器、低压差线性稳压器件、施密特触发器以及 10 bit/1 MHz 逐次逼近模数转换器四大部分. 读出电路芯片采用 SMIC 0.18 μm 1P6M 标准 CMOS 工艺实现. 后仿真结果显示, 在电源电压 3.3 V, 输入信号 50 kHz 和 1 MHz 时钟频率下, 无杂散动态范围(SFDR)为 71.294 dB, 信噪失真比(SNDR)达到 59.538 dB, 有效精度(ENOB)达到 9.59 bit, 可检测 0.000 13 T 特斯拉的磁场变化, 满足石墨烯霍尔器件的检测要求.

关键词: 石墨烯; 霍尔器件; 放大器; 模数转换器

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2013)12-0137-05

A Readout Circuit for Graphene Hall Element

CHEN Cheng-ying, JIANG Jian-hua, HU Xiao-yu

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: In order to realize the high resolution detection of grapheme hall element, amplifier and analog-to-digital technique is adopted to design a analog front-end readout circuit. The circuit consists of amplifier, low dropout regulator (LDO), Schmitt trigger and 10 bit/1 MHz Successive Approximation Analog-to-Digital Converter (SAR ADC). The readout is implemented in SMIC 0.18 μm 1P6M CMOS process. The post-simulation results show that in 3.3 V power supply, 50 kHz input frequency and 1 MHz clock frequency, the SFDR is 71.294 dB, SNDR is 59.538 dB, ENOB is 9.59 bit, detection accuracy is 0.00013 T, meets the detection requirement of grapheme hall element.

Key words: Graphene; Hall element; amplifier; analog -to- digital converter

1 引言

在现代社会中, 霍尔器件作为一种最重要的磁性传感器, 广泛应用于工业自动化技术、传感器检测技术以及信息处理等方面. 根据霍尔效应的基本原理, 霍尔器件在变化磁场洛伦兹力的作用下, 可将磁场变化转换为电信号输出. 理论证明, 在半导体材料中, 较高的迁移率和较薄的有源区能够有效提高霍尔器件的性能. 因此, 基于窄带结构、高迁移率的三价化合物锑化铟(InSb)被认为是硅基霍尔器件的有力替代者. 然而, 制造工艺复杂、价格昂贵、与标准半导体工艺不兼容等问题又限制了锑化铟霍尔器件的

发展. 针对于此, 寻找一种价格和性能适中的半导体材料便成为科研工作者研究的热点.

经过实验论证, 石墨烯材料具有极高的迁移率和极薄的有源区, 以此为基础发展的霍尔器件灵敏度高、热稳定性强、制造价格低廉, 易于进行大规模生产, 并可在标准 CMOS 工艺上加工完成, 与读出电路进行完美的单片集成. 这些优点都使得石墨烯成为新一代霍尔器件的最佳材料^[1]. 本文提出一种基于石墨烯霍尔器件的单片集成读出电路, 片内集成的施密特触发器和 10 bit/1 MHz 逐次逼近模数转换器可实现霍尔器件的功能和性能检测.

收稿日期: 2013-01-18; 修回日期: 2013-03-22

基金项目: 国家科技重大专项(Y1GZ212001)

2 读出电路原理分析

在工艺流程上,首先需要完成读出电路的流片,之后才能在读出电路的硅片上进行后加工,以完成石墨烯霍尔器件的制作.本次设计中采用的石墨烯霍尔器件如图 1 所示,左右分别为电源和地端口,上下为差分输出电压端口.

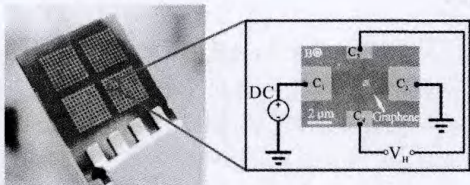


图 1 石墨烯霍尔器件

在需要检测的 -0.1 T 至 0.1 T 的磁场变化中,输出差分电压的幅度在 -20 mV 至 20 mV 之间变化,频率约为 50 kHz ,输出阻抗为 $3\text{ k}\Omega$ 左右,其中磁场强度与输出电压特性如图 2 所示.

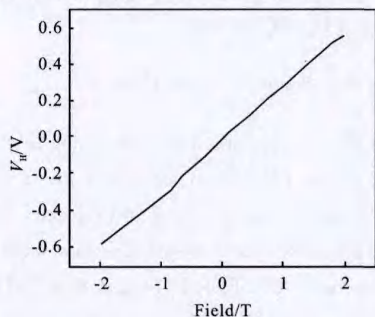


图 2 磁场强度与输出电压关系

针对石墨烯霍尔器件的信号特性,读出电路设计思路如下:(1)为了避免霍尔器件输出阻抗对后级放大电路输入阻抗造成影响,在输入端需要引入一级单位增益缓冲器进行隔离保护;(2)片内具有低压差线性稳压源(LDO),为霍尔器件和读出电路提供稳定的 3 V 电源;(3)前端放大电路在引入尽可能低噪声的情况下,将霍尔器件输出电压信号放大至后级模数转换器的满摆幅输入范围,且同时要考虑避免增益过大造成饱和和失真;(4)为了达到 10^{-4} T 的检测精度,模数转换器需要达到 10 bit 转换精度;(5)为了在 -0.1 T 和 0.1 T 磁场变化阈值点进行标记,加入一级施密特触发器进行判别.

最终得到的读出电路设计指标如下:前端放大倍数为 35;模数转换器为 $10\text{ bit}/1\text{ MHz}$ 逐次逼近结构;施密特触发器的阈值电平分别为 2.1 V 和 0.7 V . 读出电路结构框图如图 3 所示.

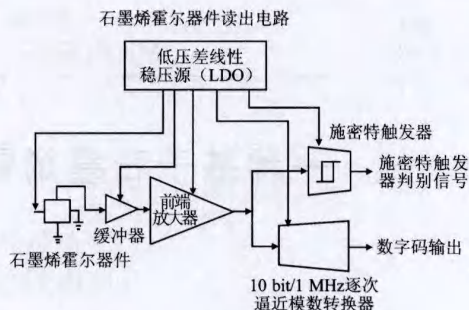


图 3 石墨烯霍尔器件读出电路框图

3 电路设计

3.1 前端放大器

前端放大器电路如图 4 所示.采用闭环运放增益结构,35 倍增益表示为反馈电阻 R_2 和输入电阻 R_1 的比值,即:

$$\text{Gain} = \frac{R_2}{R_1} \quad (1)$$

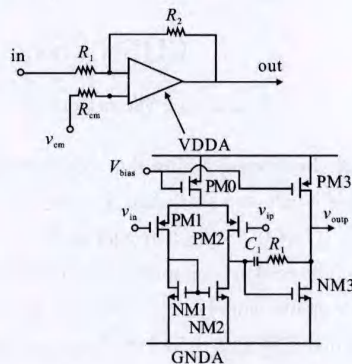


图 4 前端放大器电路

前端放大器采用差分输入,单端输出的两级运放结构实现.差分输入端分别接霍尔器件输出和共模输入信号. C_1, R_1 构成的密勒补偿电路,保证运放在单位增益带宽处有 60° 以上的相位裕度.

3.2 逐次逼近模数转换器

逐次逼近模数转换器 (Successive Approximation Analog-to-Digital Converter, SAR ADC) 基于二分搜索算法,通过数模转换器 (DAC)、比较器和逐次逼近寄存器形成闭环比较、反馈结构,使数字码最终逼近所要转换的模拟输入.逐次逼近模数转换器主要由采样保持电路、数模转换器、比较器、逐次逼近寄存器 (SAR) 和时序控制电路组成^[2-6].典型的逐次逼近型模数转换器结构如图 5 所示.

在进行 DAC 设计时,为了使 ADC 输入具有轨至轨的满摆幅输入范围, DAC 选择单电容采样的分段电容电荷定标型结构^[2-5]. DAC 电容采用低 4

高 6、单位电容为 100 f 的分布结构. 该结构在电荷再分配时将 DAC 的最小步阶降为原来的一半, 即:

$$\text{Step}_{\min} = (1/2) \cdot V_{\text{ref}}/2^{10} \quad (2)$$

式中, V_{ref} 为 ADC 的输入参考电压, 即 ADC 的输入量化范围, 在本次设计中为 3.3 V.

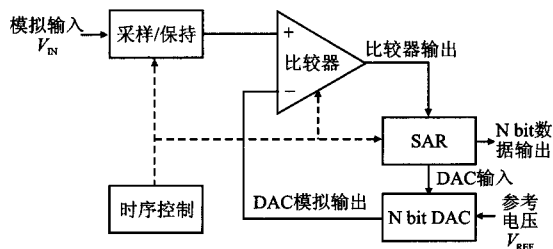


图 5 SAR ADC 结构

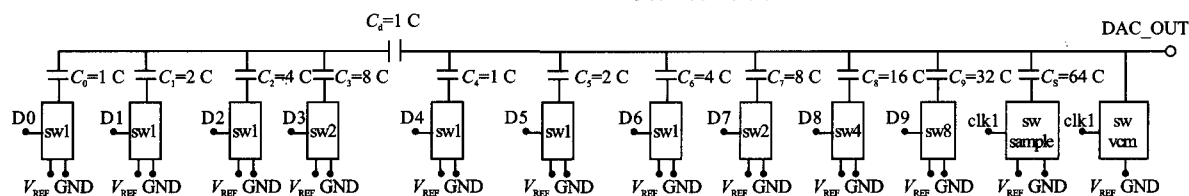


图 6 DAC 电路

$$\begin{aligned} V_x &= \frac{Q_x}{C_t} \\ &= \frac{64C(v_{\text{cm}} - v_{\text{in}}) + v_{\text{cm}}(15C//1C + 63C)}{15C//1C + 127C} \\ &= -\frac{1}{2} \frac{024}{047} v_{\text{in}} + v_{\text{cm}} \end{aligned} \quad (3)$$

在电荷再分配相, SAR 寄存器先将最高控制位 (即 D9) 置 1, 具体操作为导通开关 sw8, 将 C_9 的下极板连接至 v_{ref} , 此时如果 $v_{\text{in}} > 1/2 \cdot V_{\text{ref}}$, 则比较器输出信号 V_c 为 0, 同时 SAR 寄存器保留 D9 为 1; 若 $v_{\text{in}} < 1/2 \cdot V_{\text{ref}}$, 比较器输出信号 V_c 为 1, SAR 寄存器将 D9 清 0. 无论 D9 为何值, 上述操作结束后, SAR 寄存器都将此时的 D9 值作为 ADC 的最高位数字码进行输出. 完成 D9 操作后, 再将 D8 置 1, 重复类似 D9 的操作, 输出次高位数字码, 以此类推, 直至确定最低位为止. 再分配相结束后, 由 SAR 寄存器输出持续一个时钟周期的 EOC 信号作为结束标志. 最终该分段电容 DAC 的输出为

$$V_x = \frac{1}{2} \frac{024}{047} (-v_{\text{in}} + \sum_{i=1}^{10} \frac{b_i}{2^{11-i}} v_{\text{ref}}) + v_{\text{cm}} \quad (4)$$

式中, b_i 是分段电容 DAC 第 i 位的值, 为 0 或 1.

为了降低失调电压对比较器分辨率精度的影响, 本次设计采用带输入、输出失调存储的三级

4 后仿真结果

该读出电路基于 SMIC 0.18 μm 1P6M 标准

DAC 电路如图 6 所示, 其中分段电容 C_d 值为 100 fF, 作为一个单位电容 1 C, 采样电容 C_s 为 64 倍单位电容 64 C. 其余低位和高位电容呈 2 进制分布, DAC 总等效电容值为 128 C. DAC 工作过程如下: 采样信号 clk1 为两时钟周期脉冲信号, 在采样相, $C_0 \sim C_9$ 的控制开关均接地. 采样开关 sw_sample 闭合, 此时电容 C_s 的下极板与输入信号 v_{in} 相连, 对 v_{in} 进行采样操作; 而共模电压采样开关 sw_vcm 闭合, 使 C_s 上极板与共模电压 v_{cm} 相接, 得到输入信号与共模电压的差值电荷, 并将其存储在 C_s 上. 采样信号 clk1 结束后, DAC 进入保持相, 首先 sw_vcm 断开, sw_sample 接地, 而 $C_0 \sim C_9$ 的开关仍然保持接地状态, 此时可得到 DAC 输出电压为

预放大器结构. 其中第一级预放大器采用简单的二极管负载连接结构, 后两级预放大器采用交叉耦合负载结构以提高放大器增益, 三级预放大器提供大约 500 倍的电压增益. 在最终输出又加入一级锁存器, 对比较结果进行锁存操作. 比较器总体结构框图、三级预放大器电路和时序关系如图 7 所示.

逐次逼近寄存器 (SAR) 采用 RTL 代码综合的数字电路实现. 对于本次 10 bit 的 ADC 结构, 一次完整的数字码转换需要 14 个时钟周期, 其中包括 2 个采样周期, 11 个逐次逼近转换周期以及 1 个 EOC 信号周期. 图 8 所示为 SAR 寄存器的工作时序, 其中 Sample 为持续两周期的采样信号, V_c 为比较器输出, D9~D0 为 DAC 转换器数字输入, b9~b0 为 ADC 转换器的并行数字输出, EOC 为单周期转换结束信号^[6-7], 其工作原理如下: 所有信号以时钟上升沿为触发, 当采样信号结束后, 将 D9 预置为 1; 在第一个时钟上升沿到来时, 根据比较器的输出进行判别, 如比较器输出为 0, 则保持 1 不变. 如比较器为 1, 则将 D9 清 0. 同理, 在第 2 个时钟上升沿到来时, D8 预置为 1, 再根据比较器输出进行判决, 依次类推, 直到确定 D0 为止. 在 EOC 信号产生时, 此时的 D9~D0 即作为 b9~b0 输出.

CMOS 工艺、3.3 V 电源电压设计流片实现. 所设计的芯片版图如图 9 所示, 芯片总面积为 1.1 mm² (1 mm×1.1 mm).

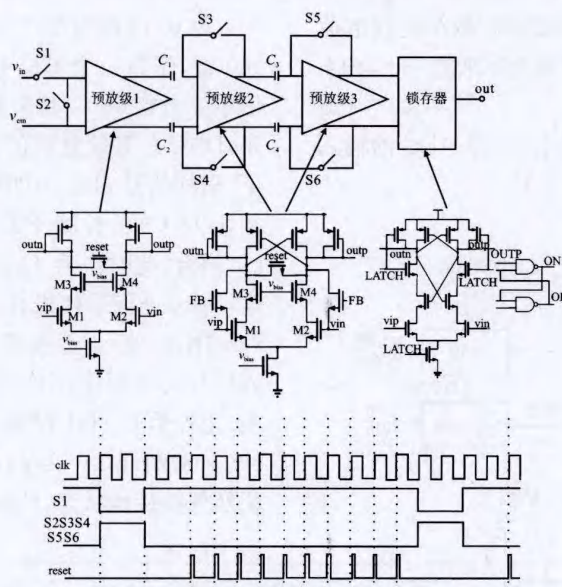


图7 比较器框图、电路及时序

(ENOB)达到 9.59 bit.

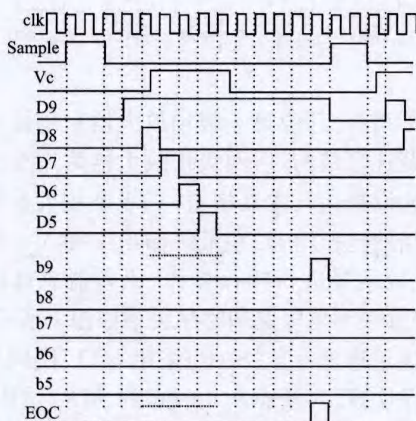


图8 SAR逻辑控制时序

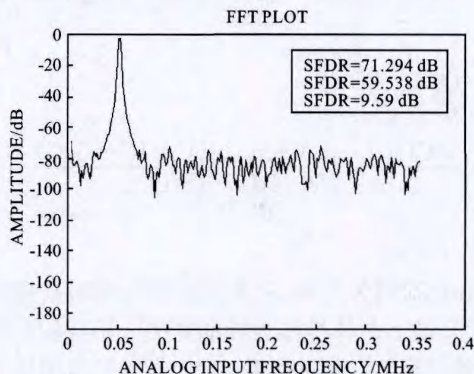


图10 读出电路后仿真FFT结果

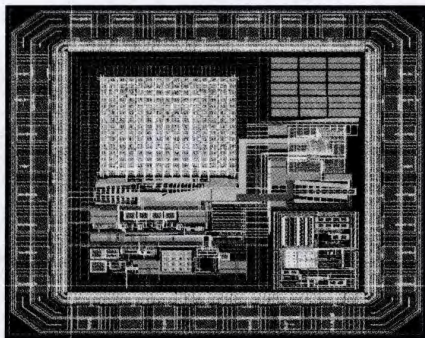


图9 读出电路版图

版图完成后,对整体读出电路进行了后仿真验证,在输入信号峰峰值 40 mV,频率 50 kHz,时钟 1 MHz 时,对输出信号进行了 FFT 频谱分析,结果如图 10 所示. 无杂散动态范围(SFDR)为 71.294 dB,信噪失真比(SNDR)达到 59.538 dB,有效精度

5 结束语

本文设计了一款基于石墨烯霍尔器件检测的读出电路. 读出电路包括前端放大器、低压差线性稳压源、施密特触发器以及 10 bit/1 MHz 逐次逼近模数转换器四大部分. 芯片采用 SMIC 0.18 μm 1P6M 标准 CMOS, 3.3 V 电源工艺实现,后仿真结果显示,在电源电压 3.3 V,读出电路无杂散动态范围 71.294 dB,信噪失真比达到 59.538 dB,有效精度达到 9.59 bit,可检测 $0.1T/2^{9.59} = 1.3 \times 10^{-4} T$ 的磁场变化,满足石墨烯霍尔器件的检测要求.

参考文献:

- [1] Huilong Xu, Zhiyong Zhang, Runbo Shi, et al. Batch-fabricated high-performance graphene Hall elements[J]. Nature Nanotechnol, 2013(1):487-498.

- [2] Jaejin Park, Ho-Jin Park, Jae-Whui Kim, et al. A 1 mW 10-bit 500KSPS SAR A/D converter[C]// The IEEE International Conference on Circuit and System, Geneva; IEEE, 2000; 581-584.
- [3] Confalonieri P, Zarnprohno M, Girardi, F, et al. A 2. 7mW 1MSps 10b analog-to-digital converter with built-in reference buffer and 1LSB accuracy programmable input ranges[C]//Solid-State Circuits Conference, Proceeding of the 30th European, Leuven; IEEE, 2004; 255-258.
- [4] Neubauer H, Desel T, Hauer, H. A successive approximation A/D converter with 16 bit 200 kS/s in 0. 6 μm CMOS using self calibration and low power tech-

niques[C]//The 8th IEEE International Conference on Electronics, Circuit and System, Malta; IEEE, 2001; 859-862.

- [5] 陈铖颖,黑勇,胡晓宇. 一种轨至轨的 10bit 逐次逼近模数转换器设计[J]. 微电子学, 2012(43)10:161-166.
- [6] 孙彤. 低功耗逐次逼近模数转换器的研究与设计[D]. 北京:清华大学, 2007.
- [7] Razavi B. Design of analog CMOS and integrated circuit [M]. New York: McGraw-Hill Company Inc, 2001.

作者简介:

陈铖颖 男, (1982—), 助理研究员. 研究方向为 CMOS 射频和模拟集成电路设计.

(上接第 136 页)

- [4] Silva-Martinez J, Adut J, Rocha-Perez J M, et al. A 60-mW 200-MHz continuous-time seventh-order linear phase filter with on-chip automatic tuning system[J]. IEEE J Solid-State Circuits, 2003, 38(2): 216-225.
- [5] Mohieldin A N, Sanchez-Sinencio E, Silva-Martinez J. A fully balanced pseudo-differential OTA with common-mode feedforward and inherent common-mode feedback detector[J]. IEEE J Solid-State Circuitss, 2003, 38(4): 499-531.

作者简介:

程 序 男, (1987—), 博士研究生. 研究方向为射频集成电路设计.

郭桂良 男, (1981—), 博士. 研究方向为射频集成电路设计.

阎跃鹏 男, (1963—), 研究员, 博士生导师. 研究方向为集成电路与系统设计.